

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ
ІМЕНІ СЕМЕНА КУЗНЕЦЯ



"ЗАТВЕРДЖУЮ"

Заступник керівника
(проректор з науково-педагогічної роботи)

М.В. Афанасьєв
М.В. Афанасьєв

КОМП'ЮТЕРНІ СИСТЕМИ ТА АРХІТЕКТУРА КОМП'ЮТЕРІВ

робоча програма навчальної дисципліни

Галузь знань **12 "ІНФОРМАЦІЙНІ ТЕХНОЛОГІЇ"**
Спеціальність **121 "ІНЖЕНЕРІЯ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ"**
Освітній рівень **перший (бакалаврський)**
Освітня програма **"ІНЖЕНЕРІЯ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ"**

Вид дисципліни
Мова викладання, навчання та оцінювання

базова
українська

Завідувач кафедри кібербезпеки
та інформаційних технологій

Євсєєв С.П.

Євсєєв С.П.

Харків
ХНЕУ ім. С. Кузнеця
2019

ЗАТВЕРДЖЕНО
на засіданні кафедри кібербезпеки
та інформаційних технологій
Протокол № 6 від 10.12.2019 р.

Розробник(-и):
Корольов Р.В., к.т.н., доцент кафедри КІТ

**Лист оновлення та перезатвердження
робочої програми навчальної дисципліни**

Навчальний рік	Дата засідання кафедри – розробника РПНД	Номер протоколу	Підпис завідувача кафедри

1. Вступ

Анотація навчальної дисципліни:

Подано тематичний план навчальної дисципліни й її змістовність за модулями та темами, вміщено плани лекцій і лабораторних занять, матеріал щодо закріплення знань (завдання для самостійної роботи, контрольні запитання), методичні рекомендації та оцінювання знань студентів. Сучасну комп'ютерну схемотехніку складають елементи та вузли, які за способами представлення та обробки сигналів діаметрально відрізняються один від одного. Так до елементів аналогової електроніки відносяться ті електронні засоби, які призначені для перетворення і обробки інформації що змінюється за законом безперервної функції, а до елементів цифрової електроніки відносяться ті засоби для перетворення і обробки інформації яка змінюється за законом дискретної функції. Сучасні інформаційні технології в повній мірі використовують як аналогові так і цифрові схемотехнічні рішення для обробки сигналів.

Необхідність вивчення архітектури і функціонування ЕОМ визначається появою нових архітектур ЕОМ, які потрібні для складання програм з розповсюджених мов програмування, а також розробкою та реалізацією спеціалізованих мов.

Мета навчальної дисципліни:

Метою викладання навчальної дисципліни є засвоєння необхідних знань з основ теорії побудови та функціонування основних пристроїв, вузлів, базових елементів та архітектури сучасної комп'ютерної техніки, що виконані на базі інтегральної технології, формування твердих практичних навичок щодо оцінки технічного стану комп'ютерної техніки, розрахунків параметрів аналогових та цифрових схем, аналізу умов функціонування та синтезу схем з заданими характеристиками, а також підготовка висококваліфікованих спеціалістів, які вміють раціонально вибирати та використовувати сучасні типи комп'ютерів в умовах автоматизованого проектування; аналізувати, розраховувати, синтезувати та проектувати цифрові електронні пристрої, які використовуються в комп'ютерних та мікропроцесорних системах

Курс	2	
Семестр	2	
Кількість кредитів ECTS	6	
Аудиторні навчальні заняття	лекції	48
	семінарські, практичні	—
	лабораторні	96
Самостійна робота		84
Форма підсумкового контролю	екзамен	

Структурно-логічна схема вивчення навчальної дисципліни

Попередні дисципліни	Наступні дисципліни
Дискретна математика	Комп'ютерні системи
Фізика, електротехніка та електроніка	Комп'ютерні мережі
Алгоритми та структури даних	Моделювання інформаційних систем

2. Компетентності та результати навчання за дисципліною

Компетентності	Результати навчання
Здатність виконувати аналіз та синтез цифрових електронних пристроїв	Використовувати сучасні програмні засоби діагностування комп'ютерного обладнання, засобів зв'язку та обслуговування
Створення за допомогою засобів алгебри логіки математичні моделі складних вузлів цифрової схемотехніки	Використовувати фізичні принципи роботи електронних аналогових та цифрових елементів і вузлів які складають основу побудови сучасної комп'ютерної техніки та логічні основи цифрової техніки
Здатність представляти логічні функції різними способами завдання та здійснювати їх мінімізацію	Використовувати логічні основи цифрової техніки
Проведення аналізу умов функціонування цифрових схем комп'ютерної техніки, а також здійснювати синтез цифрових схем із заданими властивостями в різних системах базисних функцій	Знати методи аналізу та розрахунку параметрів елементів схемотехніки комп'ютеризованих засобів
Здатність проводити розрахунки необхідних параметрів елементів комп'ютерної схемотехніки, використовувати в сумісній роботі базові логічні елементи різного типу логіки	Знати методики аналізу умов функціонування цифрових та аналогових схем комп'ютерної техніки, а також порядок синтезу цифрових схем із заданими властивостями
Здатність розробляти специфікації комп'ютерного обладнання, засобів зв'язку та обслуговування	Знати порядок оцінювання характеристик елементів та вузлів, виявлення та усунення несправностей в елементах та схемах комп'ютерної техніки
Тестувати й налагоджувати апаратно-програмні засоби і комплекси систем автоматизації та управління	Знати основи комп'ютерної інженерії (комп'ютерну схемотехніку, архітектуру комп'ютерів, мікропроцесорні системи)

3. Програма навчальної дисципліни

Змістовий модуль 1. Структури мікропроцесорних систем

Тема 1. Форми подання інформації

Поняття про комп'ютерну схемотехніку. Історія розвитку комп'ютерної схемотехніки. Класифікація комп'ютерних елементів. Основи теорії сигналів.

Характеристики та параметри імпульсного сигналу. Форми імпульсних сигналів. Способи електричного відображення двійкових цифр і чисел. Імпульсний та потенціальний коди.

Тема 2. Логічні основи побудови елементів

2.1. Логічні елементи

Елементарні логічні функції та відповідні їм логічні елементи. Принципи суперпозиції та функціональна повнота системи логічних функцій. Логічні функції Шефера (штрих Шефера) та Пірса (стрілка Пірса).

2.2. Математичні основи комп'ютерної схемотехніки

Аксиоми алгебри логіки. Правило де Моргана. Перетворення логічних функцій. Поняття про функціональну повноту логічних функцій. Представлення логічних функцій за допомогою аналітичних виразів. Диз'юнктивна нормальна форма (ДНФ) та кон'юнктивна нормальна форма (КНФ) логічної функції. Поняття про досконалу ДНФ (ДДНФ) та досконалу КНФ (ДКНФ). Представлення логічних функцій в ДДНФ та ДКНФ. Порядок перетворення логічних функцій з ДНФ до ДДНФ та з КНФ до ДКНФ.

2.3. Мінімізація логічних функцій за допомогою карт Карно та діаграм Вейча

Поняття про мінімізацію логічних функцій. Структура карти Карно та діаграми Вейча для логічних функцій трьох, чотирьох та п'яти змінних. Правила проведення контурів на карті Карно і діаграмі Вейча та відповідний запис їх аналітичним виразом. Особливості мінімізації неповністю визначеної логічної функції. Мінімізація логічних функцій представлених в ДНФ та КНФ. Алгоритм мінімізації логічних функцій за допомогою карт Карно та діаграм Вейча.

2.4. Алгебра логіки при аналізі та синтезі логічних функцій

Зміст задачі аналізу умов функціонування цифрових пристроїв. Алгоритм аналізу комбінаційних цифрових пристроїв. Оцінка складності та швидкодії комбінаційних цифрових пристроїв. Характеристика перехідних процесів в цифрових пристроях. Основні задачі та послідовність синтезу цифрових пристроїв без пам'яті. Синтез комбінаційних цифрових пристроїв за допомогою різних функціональних базисів, а саме; І, ЧИ, НІ; штрих Шефера (І-НІ); стрілки Пірса (ЧИ-НІ). Синтез комбінаційних цифрових пристроїв в умовах обмежень за кількістю входів та спроможності навантаження логічних елементів.

Тема 3. Схемотехніка комбінаційних вузлів

3.1. Дешифратори та шифратори

Загальна характеристика типових комбінаційних пристроїв без пам'яті. Призначення, класифікація, умовне графічне позначення дешифраторів та шифраторів. Таблиця істинності дешифраторів та шифраторів. Принципи побудови та функціонування дешифраторів та шифраторів. Одноступеневі (прямокутні) і багатоступеневі (пірамідальні) дешифратори та шифратори. Синтез дешифраторів та шифраторів на основі інтегральних мікросхем малого ступеня інтеграції. Синтез логічних функцій на основі дешифраторів. Дешифратори та шифратори в інтегральному виконанні.

3.2. Мультиплектори та демюльтиплектори

Призначення, класифікація, умовне графічне позначення мультиплексорів та демультимплексорів. Таблиця істинності мультиплексора та демультимплексора. Принципи побудови та функціонування мультиплексорів та демультимплексорів. Область використання мультиплексорів та демультимплексорів. Мультиплексори як універсальний елемент. Мультиплексори та демультимплексори в інтегральному виконанні.

3.3. Комбінаційні суматори та кодоперетворювачі

Умови функціонування однорозрядного суматора та напівсуматора. Таблиця істинності однорозрядного суматора та напівсуматора. Методика побудова багаторозрядних суматорів. Кодоперетворювачі – призначення, класифікація, умовне графічне позначення. Принцип побудови та функціонування кодоперетворювачів. Кодоперетворювачі в інтегральному виконанні.

3.4. Програмовані логічні матриці (ПЛМ)

Загальна характеристика програмованих типів цифрових пристроїв. Призначення, класифікація, умовне графічне позначення ПЛМ. Розширення можливостей ПЛМ за числом входів, виходів та термів. Синтез комбінаційних пристроїв на ПЛМ.

Тема 4. Схемотехніка цифрових елементів. RS-тригер.

Загальна характеристика цифрових елементів з пам'яттю. Класифікація тригерів та умовне графічне позначення тригерів. Тригерна комірка. Тригерна система. Характеристика входів тригерної системи. Асинхронні та синхронні тригери. Способи управління тригерами. Асинхронні та синхронні RS-тригери. RS-тригери з інверсними входами. RS-тригери за схемою "M – S".

Тема 5. Схемотехніка цифрових елементів. JK-тригер.

JK-тригер. Таблиця станів та характеристичне рівняння JK-тригера. JK-тригер в інтегральному виконанні. Організація D-тригера на базі JK-тригера. Перетворення JK-тригера до синхронного та асинхронного T-тригера. Організація

Тема 6. Схемотехніка цифрових елементів. D-тригер.

D та DV-тригери. Таблиця станів та характеристичні рівняння D та DV-тригерів. T та TV тригери. Таблиця станів та характеристичні рівняння T та TV тригерів. T-тригер – як дільник частоти. Синхронний та асинхронний TV тригер. Несиметричні тригери.

Тема 7. Універсальний реєстр зсуву K155IP1.

Призначення реєстр зсуву K155IP1. Перетворення послідовного кода в паралельний. Перетворення паралельного коду в послідовний.

Тема 8. Класифікація лічильників.

Двійкові лічильники. Загальна характеристика та класифікація лічильників. Принципи побудови та функціонування двійкових лічильників. Способи побудови міжрозрядних ланцюгів в лічильниках. Лічильники з послідовним переносом. Лічильники з паралельним переносом. Лічильники що додають, лічильники що віднімають.

Тема 9. Схемотехніка аналогових вузлів

Перетворення аналогових сигналів на операційному підсилювачі

Основні параметри операційного підсилювача. Універсальні властивості операційного підсилювача. Підсилювач що інвертує та неінвертує. Підсилювач з диференціальним входом. Інвертуючий суматор. Неінвертуючий суматор. Інтегратор. Диференціатор. Логарифмічний та антилогарифмічний (експоненціальний) підсилювач. Аналоговий компаратор.

Перетворення аналогових сигналів в цифрові

Поняття про аналого-цифрове перетворення та цифро-аналогове перетворення. Характеристики аналого-цифрового та цифро-аналогового перетворення. Похибки перетворення.

Цифро-аналогові перетворювачі

Цифро-аналоговий перетворювач із додаванням струмів, принцип побудови, функціональна схема, переваги та недоліки. Цифро-аналоговий перетворювач на основі матриці резисторів $R - 2R$, принцип побудови, структурна схема.

Аналого-цифрові перетворювачі (АЦП)

АЦП послідовного рахування. Структурна схема циклічного АЦП послідовного рахування та часові діаграми вхідної напруги компаратора АЦП послідовного рахування. Структурна схема нециклічного АЦП та порядок його роботи. Принцип функціонування, структурна схема та часові діаграми роботи АЦП порозрядного кодування. Структурна схема та принцип функціонування АЦП паралельного перетворення. АЦП з подвійним інтегруванням. Області використання аналого-цифрових перетворювачів різних типів.

Змістовий модуль 2. Цифрові комп'ютери

Тема 10. Цифрові комп'ютери

Мікропроцесор та його архітектура. Основні поняття і характеристики архітектури мікропроцесорів. Структура мікропроцесорної системи. Прямий доступ к пам'яті. Призначення і функції чипсету в мікропроцесорній системі. Принципи побудови схемного і мікропрограмного засобів управління. Схеми реалізації датчика сигналу, який входить до складу засобу управління. Мікропрограма для управління арифметико-логічним засобом. Особливості реалізації арифметико-логічного обладнання комп'ютера.

Тема 11. Запам'ятовуючі пристрої

Основні характеристики запам'ятовувальних пристроїв (ЗП), їх класифікація, ієрархічна побудова запам'ятовувальних пристроїв сучасних ЕОМ, побудова ЗП заданої організації на БІС ЗП різного типу. Розглядаються питання, пов'язані з розподілом пам'яті, організацією віртуальної пам'яті на основі сторінкового розподілу, а також сегментно-сторінкова вистава пам'яті в персональній ЕОМ і методи скорочення часу адресного перетворення. Скорочення втрат часу при використанні сегментно-сторінкової організації пам'яті в персональній ЕОМ. Захист пам'яті в мультипрограмних ЕОМ.

Тема 12. Процесори

Взаємодія основних вузлів і обладнань персонального комп'ютера при автоматичним виконанні команди. Архітектура 32-розрядного мікропроцесора. Режими адресації 16-розрядного мікропроцесора Intel-8086 і їх зв'язок з форматами команд, а також формати й особливості реалізації команд переходів.

Розглядаються практичні питання, пов'язані з машинною виставою команд різних форматів і з різними режимами адресації операндів, з дизасемблюванням команд, з оцінкою впливу структури програми на час її виконання.

Тема 13. Суперкомп'ютери. Паралельні обчислювальні системи

Суперкомп'ютери, основні поняття та характеристики. Високопродуктивні многоядерні процесори для вбудованих додатків. Графічний процесор G80. Прийоми і технології програмування многоядерних процесорів. Паралельні структури обчислювальних систем. Трансп'ютері технології й способи міжпроцесорного обміну даними. Основна ідея застосування мікропроцесорної ВР як зовнішнього обладнання персонального комп'ютера або робочої станції. Об'єднання обчислювального ресурсу багатопроцесорної системи в єдине вирішальне поле для його оптимізованого спільного використання. Класифікація способів розпаралелювання. Паралельна обробка стека та статичне розпаралелювання в обчислювальному полі. Розпаралелювання в обчислювальних системах на рівні виконуючих пристроїв. Апаратна підтримка мови користувача – основна концепція мультипроцесорних систем.

Тема 14. Універсальні мікропроцесори.

Регістрова структура універсального мікропроцесора. Структура и особливості архітектури мікропроцесора Pentium 4. Основні напрямки розвитку MMX-технології. Основні напрямки розвитку архітектури універсальних мікропроцесорів. Архітектура мікропроцесора Itanium.

Тема 15. Технології IBM.

Системна архітектура POWER, особливості і характеристики ядра POWER5, однопотоківий та многопотоковий режимів його роботи. Основні концепції технології віртуалізації (POWER), розгляд фізичних і логічних розділів POWER, механізмів їх використання, огляд технології мікророзділів, компоненти POWER Hypervisor, його функції, огляд Virtual I/O сервера, архітектури VSCSI сервера й клієнта, віртуальних обладнань, а також таких технологій як Virtual LAN, Virtual Ethernet і Shared Ethernet Adapter. Технології IBM Capacity on Demand, розгляд програм Reserve Capacity on Demand, On/Off Capacity on Demand, Trial Capacity on Demand, а також механізмів рішення з відновлення після катастрофи pSeries Capacity BackUp.

Тема 16. RISC-процесори

Мікропроцесори с RISC-архітектурою. Конвеєрний принцип обробки інформації. Многпроцесорні та многомашинні обчислювальні системи. Система, яка побудована за технологією NUMA. Системи обчислень з масовим паралелізмом (MPP). Трансп'ютери. Процесори цифровій обробки сигналів. Сигнальні мікропроцесори. Універсальні мікропроцесори з EPIC-архітектурою.

Тема 17. Програмні рішення. Платформа pSeries/AIX

Компоненти і функції архітектури HACMP. Фізичні та логічні компоненти HACMP. Компоненти топології кластера. Компоненти високої надійності в AIX. Основні функції HACMP. Типові конфігурації кластерів. Дискава і мережева підсистеми архітектури HACMP. Часткове і розділяємо дискове середовище. Діагностування збоїв. Архітектура ОС AIX, файлова й інші підсистеми. Програмне забезпечення ОС AIX.

Оптимізація й зменшення витрат на ІТ-Ресурси підприємства за рахунок розв'язань на базі pSeries/AIX.

Лабораторні роботи:

Лабораторна робота 1. Дослідження способів завдання логічних функцій.

Лабораторна робота 2. Мінімізація логічних функцій за допомогою карт Карно.

Лабораторна робота 3. Аналіз комбінаційних цифрових пристроїв.

Лабораторна робота 4. Дослідження методів синтезу комбінаційних цифрових пристроїв.

Лабораторна робота 5. Синтез асинхронних тригерів.

Лабораторна робота 6. Дослідження властивостей регістрів.

Лабораторна робота 7. Програмні засоби дослідження програмно-апаратної конфігурації сучасного ПК.

Лабораторна робота 8. Програмні засоби дослідження продуктивності сучасних ПК.

Лабораторна робота 9. Дослідження характеристик сучасних процесорів.

Лабораторна робота 10. Дослідження характеристик системи пам'яті та підсистеми кеш сучасних ПК.

Лабораторна робота 11. Дослідження пристроїв накопичення інформації на CD, DVD, флеш-пам'яті.

Лабораторна робота 12. Діагностична програма SiSoftware Sandra.

4. Порядок оцінювання результатів навчання

Система оцінювання сформованих компетентностей у студентів враховує види занять, які згідно з програмою навчальної дисципліни передбачають лекційні, лабораторні заняття, а також виконання самостійної роботи. Оцінювання сформованих компетентностей у студентів здійснюється за накопичувальною 100-бальною системою. Відповідно до Тимчасового положення "Про порядок оцінювання результатів навчання студентів за накопичувальною бально-рейтинговою системою" ХНЕУ ім. С. Кузнеця, контрольні заходи включають:

поточний контроль, що здійснюється протягом семестру під час проведення лекційних, лабораторних занять і оцінюється сумою набраних балів (максимальна сума – 60 балів; мінімальна сума, що дозволяє студенту скласти іспит, – 35 балів);

модульний контроль, що проводиться у формі колоквиуму як проміжний міні-екзамен з ініціативи викладача з урахуванням поточного контролю за відповідний змістовий модуль і має на меті *інтегровану* оцінку результатів навчання студента після вивчення матеріалу з логічно завершеної частини дисципліни – змістового модуля;

підсумковий/семестровий контроль, що проводиться у формі семестрового екзамену, відповідно до графіку навчального процесу.

Порядок проведення поточного оцінювання знань студентів. Оцінювання знань студента під час лабораторних занять та виконання індивідуальних завдань проводиться за такими критеріями:

Здатність виконувати аналіз та синтез цифрових електронних пристроїв

Створення за допомогою засобів алгебри логіки математичні моделі складних вузлів цифрової схемотехніки

Здатність представляти логічні функції різними способами завдання та здійснювати їх мінімізацію

Проведення аналізу умов функціонування цифрових схем комп'ютерної техніки, а також здійснювати синтез цифрових схем із заданими властивостями в різних системах базисних функцій

Здатність проводити розрахунки необхідних параметрів елементів комп'ютерної схемотехніки, використовувати в сумісній роботі базові логічні елементи різного типу логіки

Здатність розробляти специфікації комп'ютерного обладнання, засобів зв'язку та обслуговування

Тестувати й налагоджувати апаратно-програмні засоби і комплекси систем автоматизації та управління.

Результати навчання:

Використовувати сучасні програмні засоби діагностування комп'ютерного обладнання, засобів зв'язку та обслуговування.

Використовувати фізичні принципи роботи електронних аналогових та цифрових елементів і вузлів які складають основу побудови сучасної комп'ютерної техніки та логічні основи цифрової техніки.

Використовувати логічні основи цифрової техніки.

Знати методи аналізу та розрахунку параметрів елементів схемотехніки комп'ютеризованих засобів.

Знати методики аналізу умов функціонування цифрових та аналогових схем комп'ютерної техніки, а також порядок синтезу цифрових схем із заданими властивостями.

Знати порядок оцінювання характеристик елементів та вузлів, виявлення та усунення несправностей в елементах та схемах комп'ютерної техніки

Знати основи комп'ютерної інженерії (комп'ютерну схемотехніку, архітектуру комп'ютерів, мікропроцесорні системи).

Підсумковий контроль знань та компетентностей студентів з навчальної дисципліни здійснюється на підставі проведення семестрового екзамену, завданням якого є перевірка розуміння студентом програмного матеріалу в цілому, логіки та взаємозв'язків між окремими розділами, здатності творчого використання накопичених знань, вміння формулювати своє ставлення до певної проблеми навчальної дисципліни тощо.

Екзаменаційний білет охоплює програму дисципліни і передбачає визначення рівня знань та ступеня опанування студентами компетентностей.

Кожен екзаменаційний білет складається із 3 практичних ситуацій (одне стереотипне, одне діагностичне та одне евристичне завдання), які передбачають вирішення типових професійних завдань фахівця на робочому місці та дозволяють

діагностувати рівень теоретичної підготовки студента і рівень його компетентності з навчальної дисципліни.

Результат семестрового екзамену оцінюється в балах (максимальна кількість – 40 балів, мінімальна кількість, що зараховується, – 25 балів) і проставляється у відповідній графі екзаменаційної "Відомості обліку успішності".

Студента слід **вважати атестованим**, якщо сума балів, одержаних за результатами підсумкової/семестрової перевірки успішності, дорівнює або перевищує 60. Мінімумально можлива кількість балів за поточний і модульний контроль упродовж семестру – 35 та мінімумально можлива кількість балів, набраних на екзамені, – 25.

Підсумкова оцінка з навчальної дисципліни розраховується з урахуванням балів, отриманих під час екзамену, та балів, отриманих під час поточного контролю за накопичувальною системою. Сумарний результат у балах за семестр складає: "60 і більше балів – зараховано", "59 і менше балів – не зараховано" та заноситься у залікову "Відомість обліку успішності" навчальної дисципліни.

Розподіл балів за тижнями

(вказати засоби оцінювання згідно з технологічною картою)

Теми змістовних модулів		Лекційні заняття	Захист лабораторних робіт	Поточні КР	Екзамен	Усього
Змістовий модуль 1	Тема 1	1 тиждень	1	3		4
	Тема 2	2 тиждень	1	3		4
	Тема 3	3 тиждень	1	3		4
	Тема 4	4 тиждень	1			1
	Тема 5	5 тиждень	1	3		4
	Тема 6	6 тиждень	1			1
	Тема 7	7 тиждень	1	3		4
	Тема 8	8 тиждень	1			1
	Тема 9	9 тиждень	1	3	4	8
Змістовий модуль 2	Тема 10	10 тиждень	1	4		5
	Тема 11	11 тиждень	1	4		5
	Тема 12	12 тиждень	1	4		5
	Тема 13	13 тиждень	1			1
	Тема 14	14 тиждень	1	3		4
	Тема 15	15 тиждень	1			1
	Тема 16	16 тиждень	1	3		4
	Тема 17	17 тиждень	1	3		4
Екзамен					40	40
Усього		17	39	4	40	100

Шкала оцінювання: національна та ЄКТС

Сума балів за всі види навчальної діяльності	Оцінка ЄКТС	Оцінка за національною шкалою	
		для екзамену, курсового проекту (роботи), практики	для заліку
90 – 100	A	відмінно	зараховано
82 – 89	B	добре	
74 – 81	C		
64 – 73	D		
60 – 63	E	задовільно	не зараховано
35 – 59	FX	незадовільно	
1 – 34	F		

5. Рекомендована література

5.1. Основна

1. Комп'ютерна схемотехніка та архітектура комп'ютерів. Мультимедійне інтерактивне електронне видання комбінованого використання / уклад. Євсеєв С. П., Король О. Г. – Х.: ХНЕУ ім. С. Кузнеця, 2018. – 1070 Мб. ISBN 978-966-676-704-5
2. Приходько В. М. Комп'ютерна схемотехніка / В. М. Приходько, С. П. Євсеєв, К. В. Садовий. – Х. : Вид. ХНЕУ, 2011. – 300 с.
3. Євсеєв С. П. Архітектура мікропроцесорів та компонентів ЕОМ / С. П. Євсеєв, О. А. Смірнов, О. Г. Король, О. В. Коваленко // Кіровоград: Вид. Лисенко В.Ф.. – 2015. – 550 с.
4. Бабич М. П. Компьютерная схемотехника. Методы построения и проектирования: учебное пособие. / М. П. Бабич. – МК-Пресс, 2004. – 575 с.
5. Ирвин Кип. Язык ассемблера для процессоров Intel, 4-е издание. : Пер. с англ. – М. : Издательский дом «Вильямс», 2005. – 912 с.
6. 9. Таненбаум Э. Архитектура компьютера : пер. с англ. / Э. Танен-баум .– 5-е изд. – СПб. [и др.] : Питер, 2007 .– 698 с.

5.2. Інформаційні ресурси в Інтернеті

7. Каталог образовательных ресурсов (Федерация Интернет образования). – Режим доступа: www.catalog.alledu.ru/predmet/
8. Архітектура комп'ютерів. – Режим доступу: <http://vssit.ucoz.ru/index/0-4>
9. http://lib.kstu.kz:8300/tb/books/@Elektronn@ie_sredstva_IIT/plain/theory/content.htm
10. Сайт персональних навчальних систем ХНЕУ ім. С. Кузнеця навчальної дисципліни “Комп'ютерні системи та архітектура комп'ютерів”
<https://pns.hneu.edu.ua/course/view.php?id=5241>